

CLIPPEDIMAGE= JP363070552A

PAT-NO: JP363070552A

DOCUMENT-IDENTIFIER: JP 63070552 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: March 30, 1988

INVENTOR-INFORMATION:

NAME

YAMAGUCHI, SHINICHI

TAKAHASHI, TAKAHIKO

NISHIZAWA, HIROTAKE

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP61213851

APPL-DATE: September 12, 1986

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/538

ABSTRACT:

PURPOSE: To reduce the occupying area of a resistance element, and to scale down chip size by forming a thin-film resistor to the upper section of a diffusion region consisting of a diffusion layer shaped onto the main surface of a semiconductor substrate through an insulating film and changing a resistance region into three dimensions.

CONSTITUTION: A thin film resistor composed of a polysilicon layer 7 is formed onto a P-type semiconductor region 3 as a diffusion resistor through a first layer insulating film 6 as an silicon oxide film so as to be positioned between electrodes 5a, 5b. Aluminum electrodes 5c, 5d are brought into contact with

both ends of the **polysilicon** layer 7, and used as terminals for the thin-film **resistor**. The aluminum electrodes 5a~5d are shaped in such a manner that a second layer insulating film 8 as a PSG film is formed onto the **polysilicon** layer 7, **contact** holes 9a~9d are shaped to the insulating film 8 and the first layer insulating film 6, and an aluminum layer is evaporated, and patterned.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-70552

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)3月30日

H 01 L 27/04

R-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭61-213851

⑯ 出 願 昭61(1986)9月12日

⑰ 発 明 者 山 口 眞 一 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 高 橋 貴 彦 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 西 沢 裕 孝 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 半導体基板の一主面に形成された抵抗領域としての半導体領域の上には、絶縁膜を介して薄膜抵抗素子が形成されてなることを特徴とする半導体集積回路装置。

2. 上記薄膜抵抗素子は、上記抵抗領域上においてその長手方向が抵抗領域の長手方向と直交するように配設されてなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記薄膜抵抗素子は、多結晶シリコン層により構成されてなることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路技術さらには半導体集積回路装置における抵抗素子の形成に適用し

て特に有効な技術に関する。

〔従来の技術〕

従来、半導体集積回路における抵抗素子は、一般に半導体基板の主面に形成された拡散層、もしくは半導体基板の表面に形成された酸化膜上に形成されたニクロムやタンタルのような金属層もしくはポリシリコンのような半導体層からなる薄膜抵抗によって構成されていた（〔株〕オーム社が昭和56年6月に発行した「半導体ハンドブック（第2版）」第335～第337頁、第582頁参照）。

〔発明が解決しようとする問題点〕

半導体集積回路装置において形成される抵抗素子は、シート抵抗が数百Ω/□程度であるため、トランジスタに比べて大きな面積を必要とする。しかも、半導体集積回路におけるトランジスタはますます微細化される傾向にあるが、チップ上の抵抗素子はトランジスタの微細化と同じ割合で縮小することができない。しかるに、従来の半導体集積回路装置においては、各抵抗素子が基板上の

別個の位置に形成されていた。

そのため、半導体基板上での抵抗素子の占有面積の比率が、高集積化に伴ってますます大きくなり、チップサイズの低減が困難になるという問題点があった。

この発明の目的は、半導体集積回路装置における抵抗素子の占有面積を低減させ、もってチップサイズの縮小を図ることにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、半導体基板の主面に形成された拡散層からなる拡散領域の上方に、絶縁膜を介して薄膜抵抗を形成して、抵抗領域を三次元化するというものである。

〔作用〕

上記した手段によれば、同一面積に対する抵抗

値の大きさを、拡散抵抗または薄膜抵抗のみとした場合に比べて約2倍にすることができ、これによって、抵抗素子の占有面積を低減させ、もってチップサイズの縮小を図るという上記目的を達成することができる。

〔実施例〕

第1図及び第2図には、本発明をバイポーラ集積回路装置に適用した場合の素子の断面構造とレイアウトの一実施例が示されている。

この実施例では、単結晶シリコンのような半導体基板1の主面に気相成長法によりN⁻型エピタキシャル層2が形成され、このN⁻型エピタキシャル層2の表面には、拡散抵抗となるP型半導体領域3が形成されている。この半導体領域3は例えば、図示しないバイポーラトランジスタのベース領域と同時にしくは単独に形成される。半導体領域3の周囲はフィールド酸化膜と呼ばれる比較的厚い素子分離用の酸化シリコン膜4によって囲繞されている。P型半導体領域3の両端部には、アルミ電極5a、5bが接触され、このアルミ電

極5a、5bは拡散抵抗の端子とされる。

そして、この実施例では、上記拡散抵抗としてのP型半導体領域3の上に酸化シリコン膜のような第1層間絶縁膜6を介して、ポリシリコン（多結晶シリコン）層7からなる薄膜抵抗が電極5a、5b間に位置するように形成されている。このポリシリコン層7の両端には、アルミ電極5c、5dが接触され、薄膜抵抗の端子とされている。

なお、アルミ電極5a～5dは、上記ポリシリコン層7の上にPSG（リン・シリケート・ガラス）膜のような第2層間絶縁膜8を形成してから、この絶縁膜8及び第1層間絶縁膜6にコンタクトホール9a～9dを形成し、それからアルミニウム層を蒸着した後、パターニングを行なうことによって形成される。

第2図には、上記のような構造の抵抗素子をバイポーラ集積回路に適用した場合のトランジスタ領域と抵抗領域のレイアウトの一例が示されている。

第2図において、符号10で示す部分がトラン

ジスタ形成領域、符号3で示す部分が拡散抵抗となるP型半導体領域である。また、符号7で示すのがポリシリコン層からなる薄膜抵抗、符号9a～9dで示すのが、各抵抗の接続端子としてのアルミ電極5a～5dのコンタクトホールである。

第2図から明らかなように本実施例に従うと、半導体基板上の同一の領域内にそれぞれ2つの抵抗素子が上下に重なりあうように形成することができるため、抵抗の占有面積が低減される。

つまり、半導体基板上に形成された抵抗素子が、拡散抵抗もしくは薄膜抵抗のみの場合、第2図と同じ数の抵抗とトランジスタを形成するには、第4図に示すように抵抗を別々の領域に形成しなければならなかった。これに対し、上記実施例に従うと、抵抗領域が三次元化されるため抵抗領域全体の占有面積が第4図のレイアウト方式に比べておよそ2分の1に減少される。

なお、上記実施例（第2図）に示されている拡散抵抗3及び薄膜抵抗7は各々別個の抵抗素子として使用しても良いが、拡散層（3）とポリシリ

コン層(7)とを一方の端部において、短絡させて、一つの抵抗として使用するようにしてもよい。つまり、折り返し抵抗として使用するものである。

また、上記実施例では、拡散抵抗3と薄膜抵抗7を完全に重畳させているが、各々の抵抗領域の長手方向を第3図に示すように直交させ、もしくは斜めに交叉させるようにしてもよい。このようにすれば、第2図のレイアウト方式に比べると多少面積効率は劣るが、第4図のレイアウト方式に比べるとかなり抵抗の占有面積を減少させることができる。また、レイアウトの自由度が大きくなる。

しかも、第2図の実施例ではアルミ電極5a, 5c間及び5b, 5d間の短絡を防止するためポリシリコン層7の長さを拡散層3の長さよりも一定以上短くしなければならないという制約があったが、第3図の実施例ではそのような制約がない。これとともに、第2図の実施例ではアルミ電極5aおよび5dの形成部の絶縁膜の段差が大きいが、第3図の実施例では電極部の絶縁膜の段差が小さ

いのでコンタクトホール形成も容易となる。

なお、上記実施例では、薄膜抵抗7がポリシリコン層によって構成されていると説明したが、それに限定されず、ニクロムやタンタルのような金属層を用いるようにしてもよい。ただし、近年、半導体集積回路ではバイポーラトランジスタのエミッタ電極やMOSFETのゲート電極にポリシリコン層が使用されることが多いので、そのような場合にポリシリコンを使用するようにすれば、ポリシリコン電極とポリシリコン抵抗とを同時に形成することができる。

以上説明したように上記実施例では、半導体基板の主面に形成された拡散層からなる抵抗領域の上方に、絶縁膜を介して薄膜抵抗を形成するようにしたので、同一面積に対する抵抗値の大きさを、拡散抵抗または薄膜抵抗のみとした場合に比べて約2倍にすることができるという作用により、抵抗素子の占有面積が低減され、これによってチップサイズが縮小されるという効果がある。

以上本発明者によってなされた発明を実施例に

基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では抵抗領域が拡散抵抗と薄膜抵抗の2層構造とされているが、ポリシリコン層7の上に、絶縁膜8を介してさらにポリシリコン層等からなる第2の薄膜抵抗を形成するようしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるバイポーラ集積回路に適用したものについて説明したがこの発明はそれに限定されず、MOS集積回路その他半導体集積回路装置一般に利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、半導体基板上に抵抗を形成する場合に、抵抗素子の占有面積を低減させ、もってチップ

サイズの縮小を図ることができる。

4. 図面の簡単な説明

第1図は、本発明に係る半導体集積回路装置における抵抗領域の構造の一実施例を示すもので、第2図におけるI-I'線に沿った断面図、

第2図は本発明に係る抵抗構造を適用した場合の素子のレイアウトの一例を示す平面説明図、

第3図は本発明の他の実施例を示す平面説明図、

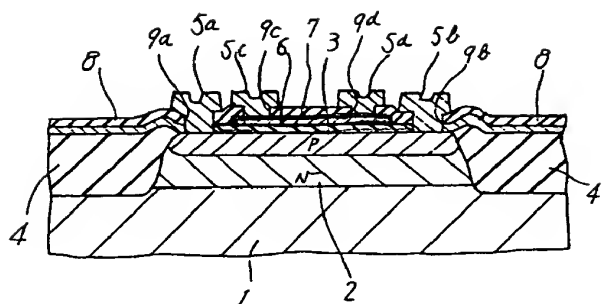
第4図は従来の抵抗を用いた場合の第2図に対応するレイアウトを示す平面説明図である。

1…半導体基板、3…拡散抵抗(P型半導体領域)、5a~5d…アルミ電極、6, 8…絶縁膜、7…ポリシリコン層(薄膜抵抗) 9a~9d…コンタクトホール、10…トランジスタ形成領域。

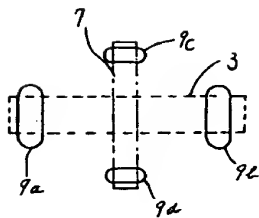
代理人 弁理士 小川勝男



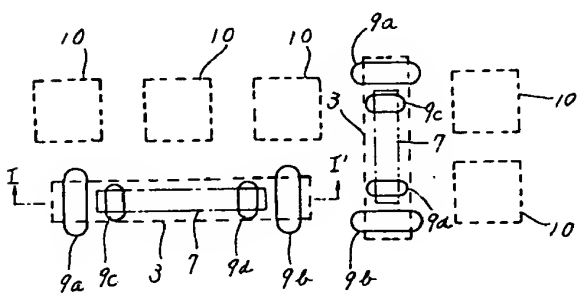
第 1 図



第 3 図



第 2 図



第 4 図

